

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 04207897 A

(43) Date of publication of application: 29.07.92

(51) Int. Cl

**H04Q 11/04**  
**H04J 3/06**  
**// H04Q 3/52**

(21) Application number: 02340263

(71) Applicant: TOSHIBA CORP

(22) Date of filing: 30.11.90

(72) Inventor: SHIMIZU FUMIHIKO

(54) MESSAGE CHANNEL VELOCITY CONVERTING CIRCUIT

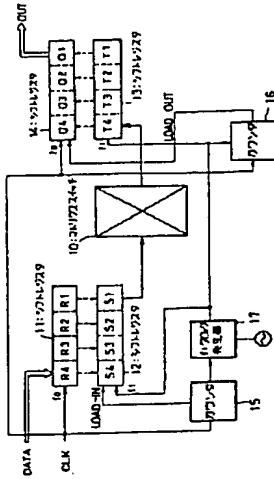
message channel.

COPYRIGHT: (C)1992,JPO&Japio

(57) Abstract:

PURPOSE: To attain the switch of message channels with no extreme increase of hardware quantity nor the hit of data by converting the input date into the high speed burst type data, generating a data blank part between the bursts, and performing the switch processing of message channels in the data blank part.

CONSTITUTION: A 1st shift register 11 inputs the serial data synchronized with a 1st clock CLK and shifts in bits the input data synchronously with the 1st clock. A 1st counter 15 counts optionally the 1st clocks to generate a timing signal of a fixed cycle. A clock generator 17 generates a 2nd clock higher than the 1st clock from the output of the counter 1. A 2nd shift register 12 loads the data in parallel through the register 11 with the timing signal outputted from the counter 15 used as a trigger and then shifts in bits the loaded data by an extent equivalent to an optional count value synchronously with the 2nd clock. A matrix switch 10 inputs the shift output of the register 12 and processes the data for conversion of velocity of the



**THIS PAGE BLANK (USPTO)**

⑯ 日本国特許庁 (JP) ⑮ 特許出願公開  
 ⑰ 公開特許公報 (A) 平4-207897

⑯Int.CI. <sup>*</sup>	識別記号	序内整理番号	⑮公開 平成4年(1992)7月29日
H 04 Q 11/04	3 0 1 B	8843-5K	
H 04 J 3/06	Z	7117-5K	
// H 04 Q 3/52	1 0 1 A	9076-5K	

審査請求 未請求 請求項の数 1 (全6頁)

④発明の名称 通話路速度変換回路

⑤特願 平2-340263

⑥出願 平2(1990)11月30日

⑦発明者 志水文彦 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝小向工場内

⑧出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑨代理人 弁理士 鈴江武彦 外3名

明細書

1. 発明の名称

通話路速度変換回路

2. 特許請求の範囲

第1のクロックに同期したシリアルデータを入力し、該第1のクロックに同期して該入力データをピットシフトする第1のシフトレジスタと、

前記第1のクロックを任意計数して一定周期のタイミング信号を生成する第1のカウンタと、

この第1のカウンタの出力から前記第1のクロックより速い第2のクロックを生成するクロック発生手段と、

前記第1のカウンタから出力されるタイミング信号をトリガとして前記第1のシフトレジスタからデータをパラレルロードした後、該パラレルロードしたデータを前記第2のクロックに同期して前記任意計数分だけピットシフトする第2のシフトレジスタと、

この第2のシフトレジスタのシフト出力を入力して通話路の速度変換なるデータ処理を行うデータ

タ処理回路と、

このデータ処理回路の出力データを入力し、前記第2のクロックに同期して該入力データをピットシフトする第3のシフトレジスタと、

前記第2のクロックを任意計数して一定周期のタイミング信号を生成する第2のカウンタと、

この第2のカウンタから出力され、かつ前記第1のクロックと同期する一定周期のタイミング信号をトリガとして前記第3のシフトレジスタからデータをパラレルロードした後、該パラレルロードしたデータを前記第1のクロックに同期してピットシフトし出力する第4のシフトレジスタと、を具備する通話路速度変換回路。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

この発明は、データの通話路を交換したり、データを解読したりするデータ処理において、その通話路交換やデータ解読等のデータ処理切換時間を確保して、データを無手段で処理するための

通話路速度変換回路に関する。

(従来の技術)

従来の通話路速度変換回路にあっては、第3図に示すように、入力データ(DATA)に一定の処理を施して出力(OUT)するデータ処理回路31において、例えば第4図のタイムチャートに示すように、異なる入力チャンネルD1,D2を別々の出力チャンネルOUT1,OUT2に接続するものがある。ここで、第4図のようにデータを回断することなく通話路を切り換えるには、その切換処理を同図に示す処理切換時間であるビット周期T内で行う必要がある。この場合、データ速度が速くなつてビット周期Tが短くなると、データ処理の切換速度もそれ以上に速くしなければならないが、実際にはデータ速度に対応したデバイスを選定するので、その処理速度は一般的にデータ速度よりも遅くなつて、ビット周期T内の処理切換は困難である。

そこで、従来では第5図に示すように、入力データをS/P(シリアル/パラレル)変換器51

有する。

(発明が解決しようとする課題)

以上述べたように従来の通話路速度変換回路では、S/P変換したパラレルデータの致だけデータ処理回路を並列に用意しなければならず、ハードウェアの大幅な増大を招くという問題を有していた。

この発明は上記の問題を解決するためになされたもので、データの通話路交換や解析等の処理の切換を、データを回断せずにかつハードウェアの大幅な増大や処理速度の無理な改善をせずに実現できる通話路速度変換回路を提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

上記目的を達成するためにこの発明に係る通話路速度変換回路は、

第1のクロックに同期したシリアルデータを入力し、該第1のクロックに同期して該入力データをビットシフトする第1のシフトレジスタと、

でS/P変換することにより、データの相対速度を下げてビット周期を広げ、通話路切換等のデータ処理を行うマトリクススイッチ50の処理切換時間を確保し、その後はデータをP/S(パラレル/シリアル)変換器52でP/S変換し、元の速度に戻す手法が取られている。

尚、第5図において、53は基準クロックCLKをカウントしてS/P変換器51を駆動するためのクロックCK1~CK4を生成するカウンタ、54は基準クロックCLKをカウントしてP/S変換器52を駆動するためのタイミング信号T1~T4を生成するカウンタである。上記S/P変換器51、P/S変換器52はそれぞれ4系統のD-フリップフロップ(D/FF)で構成される。第6図に上記回路のタイミングチャートを示す。

しかしながら、上記のような従来の通話路速度変換回路では、S/P変換したパラレルデータの致だけデータ処理回路を並列に用意しなければならず、ハードウェアの大幅な増大を招くという問題を

前記第1のクロックを任意計数して一定周期のタイミング信号を生成する第1のカウンタと、

この第1のカウンタの出力から前記第1のクロックより速い第2のクロックを生成するクロック発生手段と、

前記第1のカウンタから出力されるタイミング信号をトリガとして前記第1のシフトレジスタからデータをパラレルロードした後、該パラレルロードしたデータを前記第2のクロックに同期して前記任意計数分だけビットシフトする第2のシフトレジスタと、

この第2のシフトレジスタのシフト出力を入力して通話路の速度変換なるデータ処理を行うデータ処理回路と、

このデータ処理回路の出力データを入力し、前記第2のクロックに同期して該入力データをビットシフトする第3のシフトレジスタと、

前記第2のクロックを任意計数して一定周期のタイミング信号を生成する第2のカウンタと、

この第2のカウンタから出力され、かつ前記第

1のクロックと同期する一定周期のタイミング信号をトリガとして前記第3のシフトレジスタからデータをパラレルロードした後、該パラレルロードしたデータを前記第1のクロックに同期してビットシフトし出力する第4のシフトレジスタと、を具備して構成される。

## (作用)

上記構成による通話路速度変換回路では、入力データは第2のシフトレジスタの出力として第2のクロックと第1のカウンタからのタイミング信号に同期した高速のバースト状データに変換される。これによって、そのバースト間にデータ空白部が生成される。そこで、データ処理回路は、データ空白部において通話路の切換処理を行うことができる。これによって、データを瞬断させることなく通話路の切換が行える。通話路切換されたデータは、第4のシフトレジスタにて、第1のクロックと第2のカウンタからのタイミング信号によって元のデータ速度に復元されて出力される。

数分(4ビット)だけ図中右(あるいは左)にビットシフトし、マトリクススイッチ10に出力する。クロックf1はクロック発生器17にてカウンタ15の出力クロックを分周して生成される。

上記マトリクススイッチ10で処理されたデータは第3のシフトレジスタ(4ビット)13に入力される。この第3のシフトレジスタ13はクロックf1に同期して入力データを右(あるいは左)にビットシフトする。次に、上記クロックf1をレジスタ13の段数分(4ビット)だけカウンタ16で計数し、その出力を基本クロックf0と同期する一定周期のタイミング信号LOAD-OUTとして第4のシフトレジスタ(4ビット)14に送る。

第4のシフトレジスタ14はタイミング信号LOAD-OUTをトリガとして、第3のシフトレジスタ13の各ラッチT1~T4から自己のラッチQ1~Q4にデータをパラレルロードし、そのパラレルロードしたデータを基本クロックf0に同期して、上記計数分(4ビット)だけ図中右

## (実施例)

以下、第1図及び第2図を参照してこの発明の一実施例を説明する。

第1図はその構成を示すもので、この回路はマトリクススイッチ10によりデータ通話路の交換を行う。基本クロックf0に同期したシリアルデータDATAを第1のシフトレジスタ(4ビット)11に入力し、基本クロックf0に同期してその入力データを図中右(あるいは左)にビットシフトする。一方、カウンタ15で第1のシフトレジスタ11の段数分(4ビット)だけ基本クロックf0を計数し、その計数出力をタイミング信号LOAD-INとして第2のシフトレジスタ(4ビット)12に送る。

第2のシフトレジスタ12はタイミング信号LOAD-INをトリガとして、第1のシフトレジスタ11の各ラッチR1~R4から自己のラッチS1~S4にデータをパラレルロードし、そのパラレルロードしたデータを基本クロックf0より高い周波数のクロックf1に同期して、上記計

(あるいは左)にビットシフトし出力(OUT)する。

上記構成において、以下、第2図を参照してその動作を説明する。

入力データDATAは、第2のシフトレジスタ12の出力S1として、第2図に示すようにクロックf1とタイミング信号LOAD-INに同期した高速のバースト状データに変換される。これによって、そのバースト間にデータ空白部(BLANK)が生成される。そこで、上記データ空白部において、通話路の切換処理を行えば、データを瞬断させることなく通話路の切換が行える。通話路切換されたデータT4は、第2図に示すように、基本クロックf0とタイミング信号LOAD-OUTによって元のデータ速度に復元され、出力(Q1)される。

したがって、上記構成による通話路速度変換回路は、通話路切換処理等を行うマトリクススイッチが1個でよいため、ハードウェアの大軒な増大やデバイス処理速度の無理な改善をすることなく、

データの通話路交換や解析等の処理の切換をデータの断続なしに実行することができる。

尚、上記実施例では説明簡単化のため、構成シフトレジスタの段数を4段としたが、実際にはこの構成に限らないことはいうまでもない。

#### [発明の効果]

以上のようにこの発明によれば、データの通話路交換や解析等の処理の切換を、データを断続せずにかつハードウェア量の大幅な増大や処理速度の無理な改善をせずに実現できる通話路速度変換回路を提供することができる。

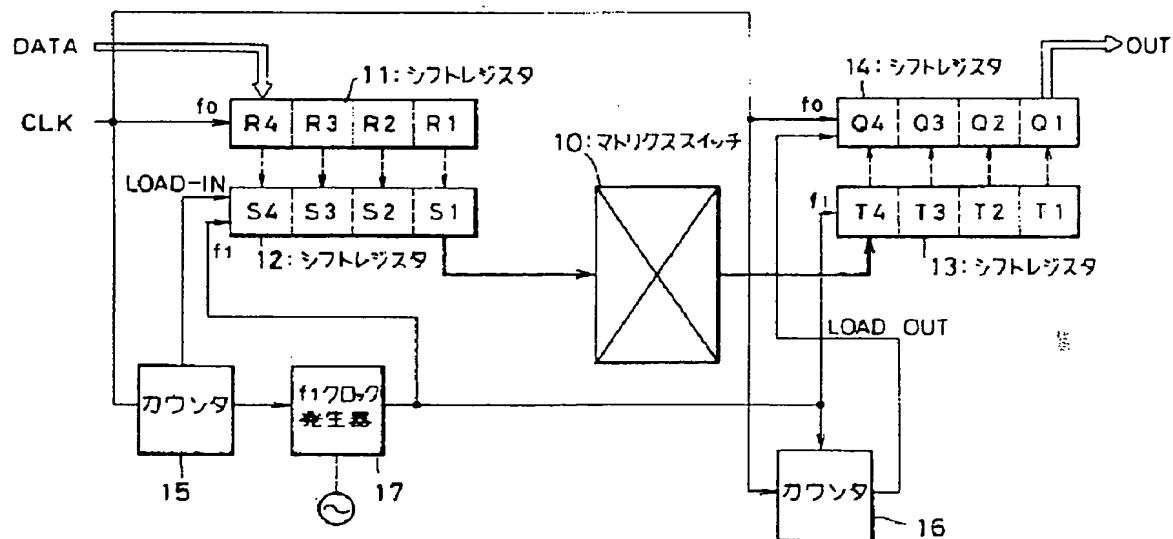
#### 4. 図面の簡単な説明

第1図はこの発明に係る通話路速度変換回路の一実施例を示すブロック回路図、第2図は同実施例の動作を説明するためのタイミング図、第3図及び第4図はそれぞれ従来の通話路速度変換回路の構成を示すブロック回路図、第5図は第4図の従来回路の動作を説明するためのタイミング図である。

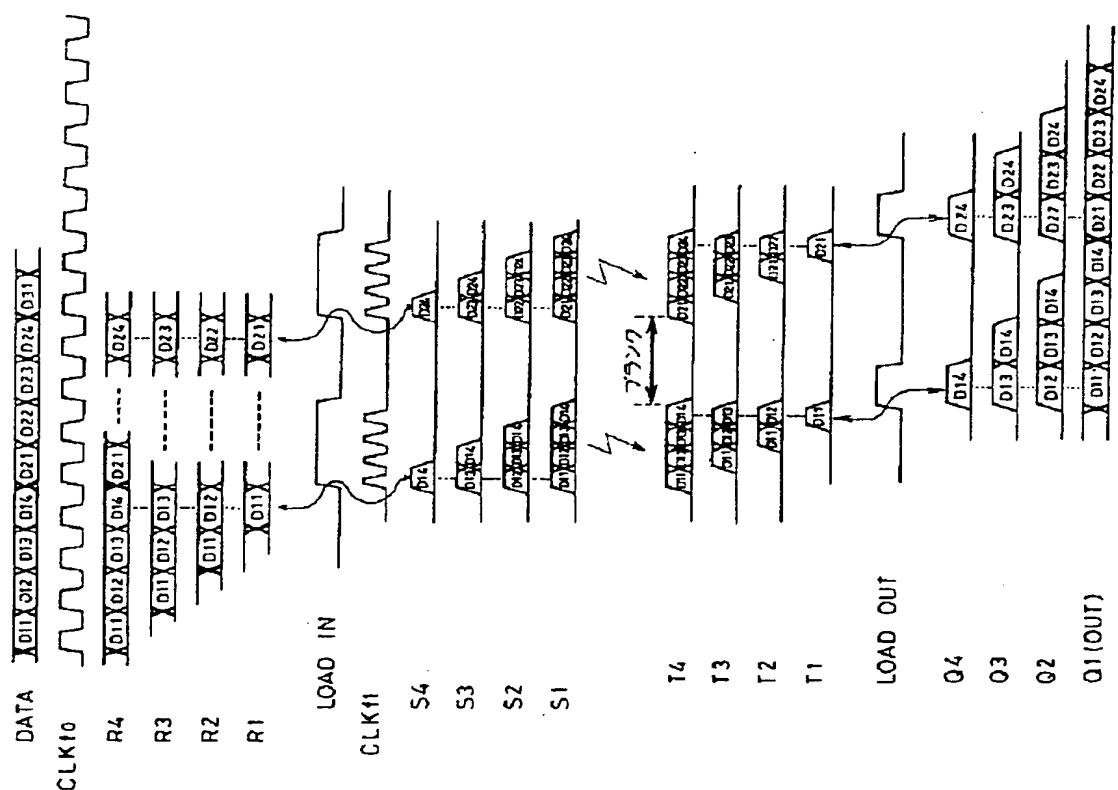
10…マトリクススイッチ、10…基本クロック

ク、DATA…シリアルデータ、11～14…シフトレジスタ、15、16…カウンタ、LOAD-IN、LOAD-OUT…タイミング信号、R1～R4、S1～S4、T1～T4、Q1～Q4…ラッチ、f1…クロック、17…クロック発生器。

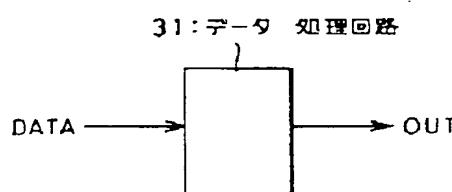
出願人代理人弁理士 鈴江武彦



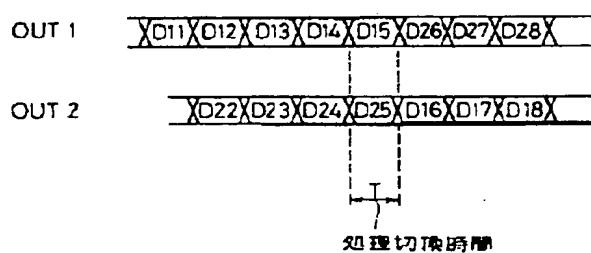
第1図



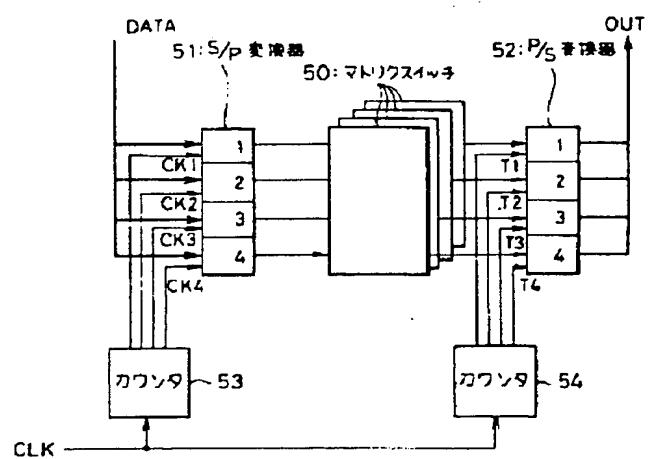
第2図



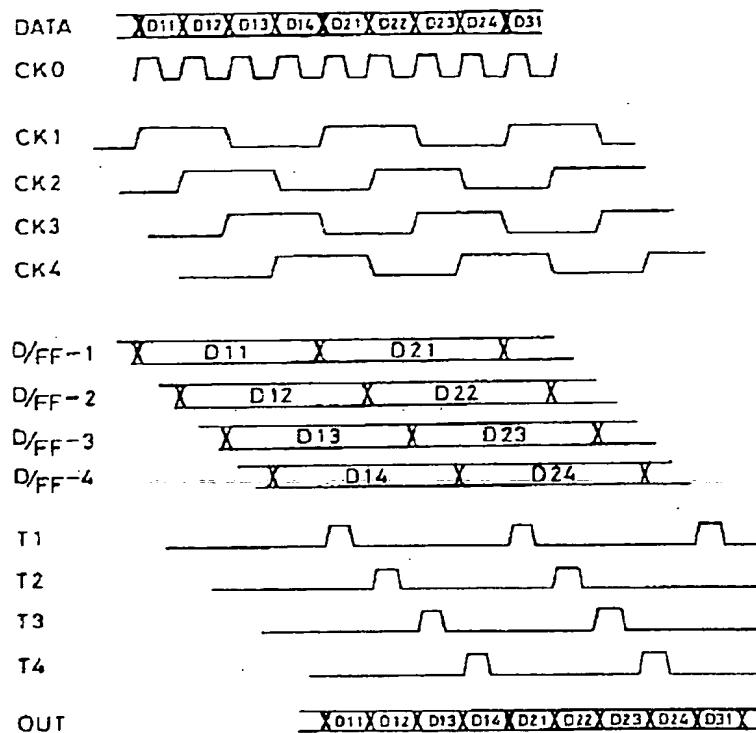
第3図



第4図



第5図



第 6 図